

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07038399 A**

(43) Date of publication of application: **07.02.95**

(51) Int. Cl.
H03K 17/00
G06F 3/00
G06F 13/36
H03K 19/0175

(21) Application number: **05158327**

(71) Applicant: **NEC CORP**

(22) Date of filing: **29.06.93**

(72) Inventor: **SHIBA KENJI**

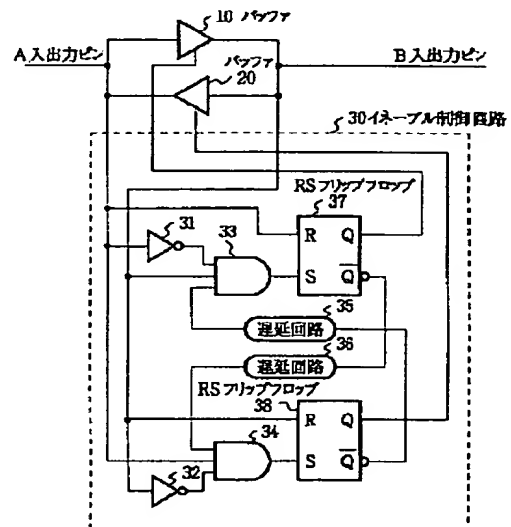
(54) **BIDIRECTIONAL BUFFER CIRCUIT**

(57) Abstract:

PURPOSE: To provide a bidirectional buffer circuit which requires no special control signal line.

CONSTITUTION: This circuit is constituted of a buffer 10 which transmits a signal from an input/output pin A on one side to an input/output pin B on the other side, a buffer 20 which transmits the signal in a direction opposite to that of the buffer 10, and an output enable control part 30 which controls the output enable of the buffers 10, 20 by monitoring the signals of the input/output pins A, B. In this way, it is possible to transmit the signal in two directions without requiring a control signal separately and to easily extend a signal line only by connecting input/output signal lines to the input/output pins A, B.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-38399

(43) 公開日 平成7年(1995)2月7日

(51) Int.Cl.⁸

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 K 17/00

Q 9184-5 J

G 0 6 F 3/00

M

13/36

3 1 0 A 8944-5 B

H 0 3 K 19/0175

8321-5 J

H 0 3 K 19/ 00

1 0 1 S

審査請求 有 請求項の数 2 O L (全 4 頁)

(21) 出願番号

特願平5-158327

(22) 出願日

平成5年(1993)6月29日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 柴 健司

東京都港区芝五丁目7番1号 日本電気株式会社社内

(74) 代理人 弁理士 京本 直樹 (外2名)

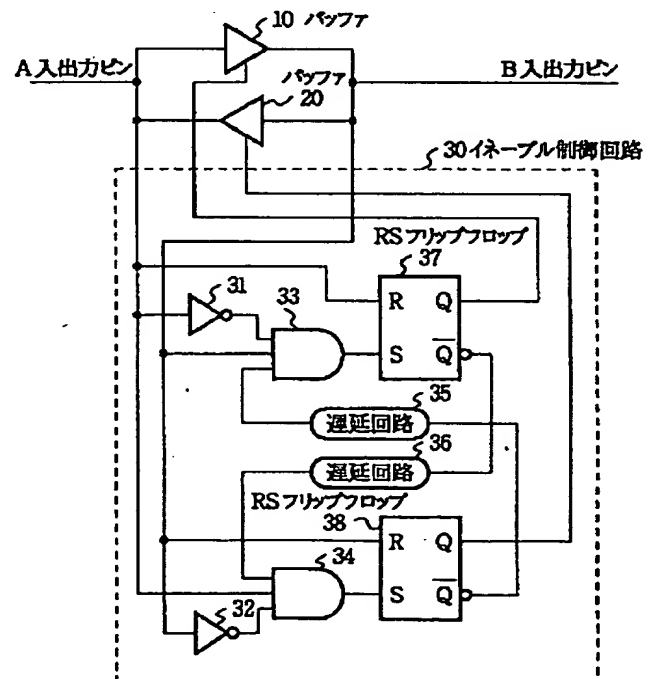
(54) 【発明の名称】 双方向バッファ回路

(57) 【要約】

【目的】 特別の制御信号線を不要化する双方向バッファ回路を提供する。

【構成】 一方の入出力ピンAから他方の入出力ピンBへ信号を伝達するバッファ10と、バッファ10とは逆方向に信号を伝達するバッファ20と、入出力ピンA, B信号を監視することによってバッファ10およびバッファ20の出力イネーブルを制御する出力イネーブル制御部30とによって構成される。

【効果】 入出力ピンA及びBに入出力信号線を接続するだけで、特に制御信号を必要とせずして信号を双方向に伝達させ、また容易に信号線を延長できる。



【特許請求の範囲】

【請求項1】 一方の入出力ピンから入出力ピンへ信号を伝達する第1のバッファと、前記第1のバッファとは逆方向に信号を伝達する第2のバッファと、双方の入出力ピンの信号を監視することによって前記第1のバッファおよび前記第2のバッファの出力イネーブルを制御するイネーブル制御回路とを有することを特徴とする双方向バッファ回路。

【請求項2】 前記イネーブル制御回路は、前記第1のバッファと前記第2のバッファに対応する2組のRSフリップフロップ、アンドゲート、遅延回路およびインバータで構成され、前記インバータは当該入出力ピンの信号を反転し、前記遅延回路は他のRSフリップフロップの反転出力信号を遅延させ、前記アンドゲートは該遅延回路の出力信号、前記インバータの出力信号および他の入出力ピンの信号に論理積演算を行い、前記フリップフロップは該アンドゲートの出力信号によってセットされ、また前記当該入出力ピンの信号によってリセットされ、出力信号を当該バッファにイネーブル信号として供給することを特徴とする請求項1記載の双方向バッファ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は双方向バッファ回路に関する。

【0002】

【従来の技術】 従来の双方向バッファ回路は、図5に示すように、入出力ピンAから入出力ピンBへ信号を送るバッファ10と、入出力ピンBから入出力ピンAへ信号を送るバッファ20と、出力イネーブル信号E及び双方向制御信号Dによりバッファ10及びバッファ20の出力イネーブル信号をするイネーブル制御部40とを有している。

【0003】

【発明が解決しようとする課題】 この従来の双方向バッファ回路では、伝達する信号のための信号線以外に出力イネーブル信号と方向制御信号を外部の制御回路から与える必要があるため、多くの信号線を必要とするという欠点があった。

【0004】

【課題を解決するための手段】 本発明の双方向バッファ回路は、一方の入出力ピンから他方の入出力ピンへ信号を伝達する第1のバッファと、第1のバッファとは逆方向に信号を伝達するバッファと、双方の入出力ピンの信号を監視することによって第1のバッファおよび第2のバッファの出力イネーブルを制御するイネーブル制御部とを備えている。

【0005】

【実施例】 次に本発明について図面を参照して説明する。

【0006】 図2は本発明の双方向バッファ回路100を用いたバス構成の例のブロック図であり、双方向バッファ100はバス200とバス300とを接続する。バス200にはバスエージェント220、バスエージェント230等の複数のバスエージェントが接続されており、プルアップ抵抗210でプルアップされている。同様にバス300にはバスエージェント320、バスエージェント330等の複数のバスエージェントが接続されており、プルアップ抵抗310でプルアップされている。

【0007】 本発明の一実施例を示す図1を参照すると、本実施例は2つのバッファ10、20と、イネーブル制御回路30とから成る。

【0008】 バッファ10は入出力ピンAから入力された信号を入出力ピンBへ伝達する。同様に、バッファ20は入出力ピンBから入力された信号を入出力ピンAへ伝達する。このとき、イネーブル制御回路30は、入出力ピンA及び入出力ピンBの信号の状態を監視することにより、バッファ10及びバッファ20の出力イネーブル信号を制御する。

【0009】 入出力ピンA側に現れた低レベルの信号を入出力ピンB側に伝達する場合における本実施例のタイミングチャートを図3に示す。

【0010】 いま、入出力ピンA側が低レベルになると、ANDゲート33の出力が高レベルとなり、RSフリップフロップ37のQ出力が高レベルになる。RSフリップフロップ37のQ出力が高レベルになると、バッファ10の出力がイネーブルになり、入出力ピンA側に現れた低レベルの信号が入出力ピンB側に伝達され入出力ピンBは低レベルになる。入出力ピンBが低レベルになるとANDゲート33の出力は低レベルとなる。

【0011】 次に、入出力ピンA側からの入力が高レベルになると、入出力ピンB側も高レベルになる。また、RSフリップフロップ37はリセットされてQ出力は低レベルとなる。遅延回路36は信号A及び信号Bの立ち上がりエッジでRSフリップフロップ38が誤ってセットされないように保護するためのものであり、RSフリップフロップ37の出力を一定時間送らせて、これをRSフリップフロップ38のセット条件の一部としている。

【0012】 一方、入出力ピンB側に現れた低レベルの信号を入出力ピンA側に伝達する場合における本実施例のタイミングチャートを図4に示す。

【0013】 いま、入出力ピンB側が低レベルになると、ANDゲート34の出力が高レベルとなり、RSフリップフロップ38のQ出力が高レベルになる。RSフリップフロップ38のQ出力が高レベルになると、バッファ20の出力がイネーブルになり、入出力ピンB側に現れた低レベルの信号が入出力ピンA側に伝達され低レベルとなる。入出力ピンAが低レベルになるとANDゲ

ート34の出力は低レベルとなる。

【0014】次に、入出力ピンB側からの入力が高レベルになると、入出力ピンA側も高レベルになる。また、RSフリップフロップ38はリセットされてQ出力は低レベルとなる。遅延回路35は信号B及び信号Aの立ち上がりエッジでRSフリップフロップ37が誤ってセットされないように保護するためのものであり、RSフリップフロップ38の出力を一定時間送らせて、これをRSフリップフロップ37のセット条件の一部としている。

【0015】

【発明の効果】以上説明したように、本発明の双方向バッファ回路は、出力イネーブル信号及び方向制御信号を内部で生成する構成としたので、これらの信号のための信号線を必要とせず少ない信号線で接続でき、また信号線の延長にあたって特別の制御回路を必要とせず容易に延長が可能という効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例の回路図である。

【図2】本発明の双方向バッファ回路を用いたバス構成の一例を示すブロック図である。

【図3】図1に示した実施例における一方からの信号伝達を行う場合のタイミングチャートである。

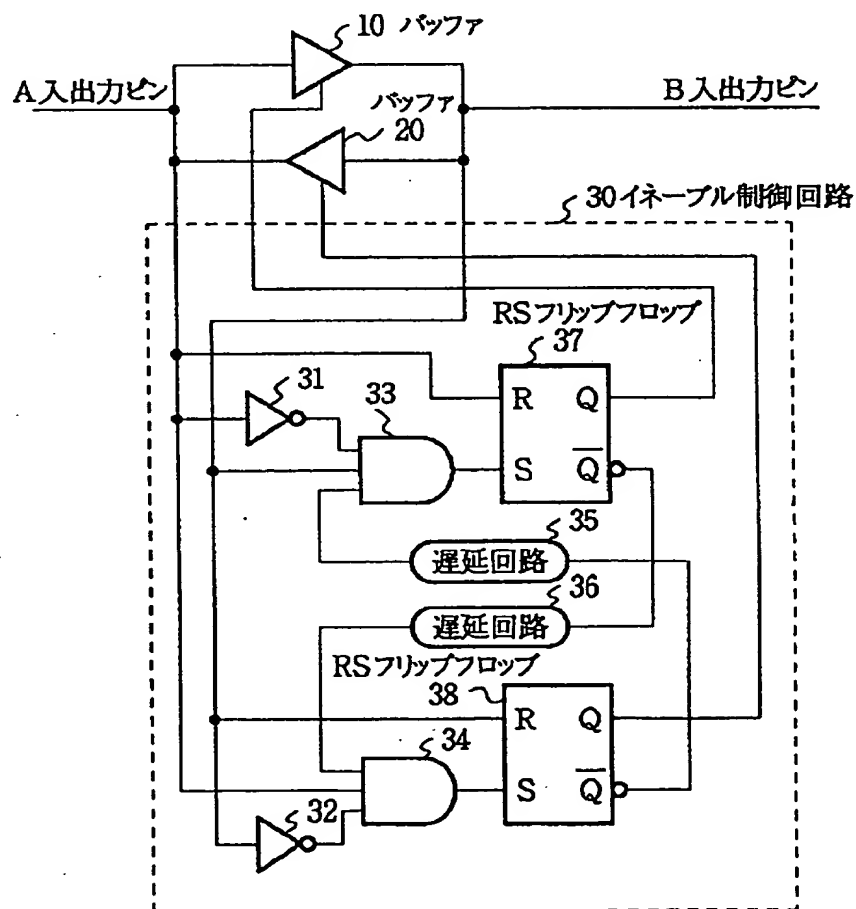
【図4】図1に示した実施例における他の方向からの信号伝達を行う場合のタイミングチャートである。

【図5】従来の双方向バッファ回路例の回路図である。

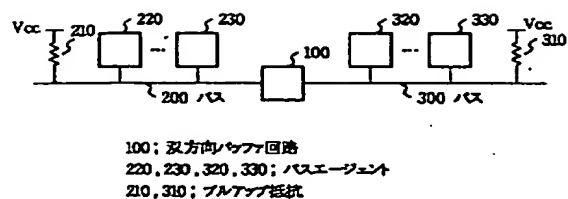
【符号の説明】

10, 20 バッファ
30, 40 イネーブル制御回路
31, 32, 41 インバータ
33, 34, 42, 43 ANDゲート
35, 36 デレイ
37, 38 RSフリップフロップ
100 双方向バッファ回路
200, 300 バス
210, 310 プルアップ抵抗
220, 230, 320, 330 バス・エージェン
ト

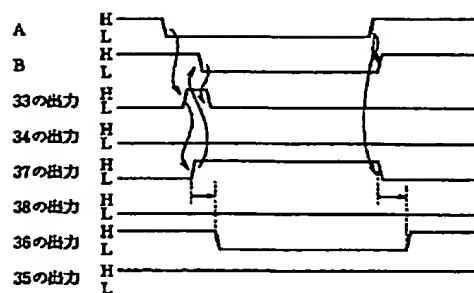
【図1】



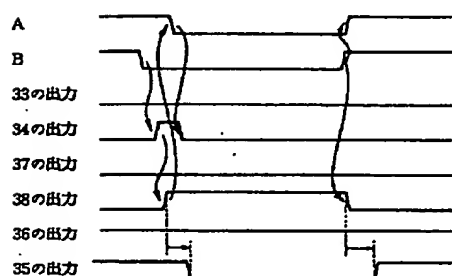
【図2】



【図3】



【図4】



【図5】

